



Docket No.: 61282-044

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Shinichi Abe	:	Confirmation Number: 8479
Serial No.: 10/697,650	:	Group Art Unit: 2811
Filed: October 31, 2003	:	Examiner: To be Assigned
For: SEMICONDUCTOR INTEGRATED CIRCUIT AND INTERRUPT REQUEST OUTPUT METHOD THEREOF		

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

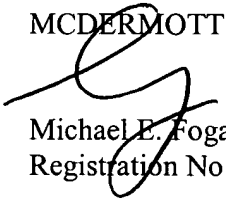
At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. P. 2002-320215, filed November 01, 2002

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: April 5, 2004

日本国特許庁
JAPAN PATENT OFFICE

10/697,650

S. ABE

October 31, 2003

61282-044

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月 1日

出願番号

Application Number:

特願2002-320215

[ST.10/C]:

[JP2002-320215]

出願人

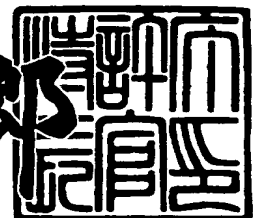
Applicant(s):

松下電器産業株式会社

2003年 2月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011934

【書類名】 特許願

【整理番号】 5037940134

【提出日】 平成14年11月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/16

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 阿部 新一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路および半導体集積回路の割込み要求出力方法

【特許請求の範囲】

【請求項 1】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、

前記割込み要求信号の出力端と前記外部割込み要因の入力端とをバイパス接続する抵抗素子と、

前記割込み要求信号の出力端を内部電源遮断時にハイインピーダンスに制御する制御手段と、

を備える半導体集積回路。

【請求項 2】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、

内部電源遮断後も電源供給が継続される I/O 電源部に前記割込み要求信号の出力端と前記外部割込み要因の少なくとも 1 つの入力端とをそれぞれバイパス接続する少なくとも 1 つの整流素子を備える半導体集積回路。

【請求項 3】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、

内部電源遮断後も電源供給が継続される I/O 電源部に設けられ、前記割込み要求信号の出力端と前記外部割込み要因の入力端とを前記内部電源遮断に連動する開閉動作でバイパス接続するスイッチング手段と、

前記割込み要求信号の出力端を前記内部電源遮断時にハイインピーダンスに制御する制御手段と、

を備える半導体集積回路。

【請求項 4】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、

内部電源遮断後も電源供給が継続される I/O 電源部に設けられ、前記割込み要求信号の出力端と前記外部割込み要因の入力端とを外部制御信号に応答する開閉動作でバイパス接続するスイッチング手段と、

前記割込み要求信号の出力端を前記外部制御信号供給時にハイインピーダンス

に制御する制御手段と、
を備える半導体集積回路。

【請求項 5】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、

内部電源遮断時に前記割込み要求の出力端をハイインピーダンスに制御し、前記割込み要求信号の出力端と前記外部割込み要因の入力端とをバイパス接続した抵抗素子を介して前記外部割込み要因の入力端に供給される割込み要求信号を外部出力する半導体集積回路の割込み要求出力方法。

【請求項 6】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、

前記割込み要求信号の出力端と前記外部割込み要因の少なくとも 1 つの入力端とをそれぞれバイパス接続する少なくとも 1 つの整流素子を介して前記外部割込み要因の少なくとも 1 つの入力端に供給される割込み要求信号を外部出力する半導体集積回路の割込み要求出力方法。

【請求項 7】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、

内部電源遮断時に、前記割込み要求信号の出力端のハイインピーダンス制御および前記内部電源遮断時に閉じるスイッチング手段で前記割込み要求信号の出力端と前記外部割込み要因の入力端とのバイパス接続を行い、前記外部割込み要因の入力端に供給される割込み要求信号を外部出力する半導体集積回路の割込み要求出力方法。

【請求項 8】 外部割込み要因からの割込み要求信号と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、

外部制御信号供給時に、前記割込み要求の出力端のハイインピーダンス制御および前記外部制御信号供給時に閉じるスイッチング手段で前記割込み要求信号の出力端と前記外部割込み要因の入力端とのバイパス接続を行い、前記外部割込み要因の入力端に供給される割込み要求信号を外部出力する半導体集積回路の割込み要求出力方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路および半導体集積回路の割込み要求出力方法に関するものである。

【0002】

【従来の技術】

半導体集積回路を用いたシステム構成においては、外部割込み要因からの割込み要求信号を半導体集積回路内部に取り込み、そこで内部割込み要因による割込み要求信号と論理和制御を行い、1つの割込み要求信号に集約した後にCPUに割込みを通知するようにシステムが構成される場合がある。

【0003】

図5はこのような従来の割込み処理に係るシステム構成を示すブロック図である。図5において、501は半導体集積回路であり、内部あるいは外部からの割込み要因の論理和制御を行う割込み制御回路511を内蔵する。502は半導体集積回路501から通知される割込み要求を処理するCPU、503はCPU502から制御され半導体集積回路501に対して電源供給を行う電源供給素子である。504は外部割込み要因素子であり、この外部割込み要因素子504からのローアクティブの割込み信号は半導体集積回路501へ入力される。

【0004】

半導体集積回路501は、回路に供給する電源電圧により、内部電源部505aとI/O電源部505bに分離されており、CPU502の制御を受け電源供給素子503からそれぞれ独立した電源供給を受ける。

【0005】

I/O電源部505bには入出力端子セルが配置される。506は半導体集積回路501のパワーダウンモード時にCPU502からの内部電源遮断モード信号を受け取る入力セル、507はCPU502へ割込み要求信号を伝える出力セル、508は外部割込み要因素子504から発生する割込み要求信号を受け取る

入力セルである。

【0006】

内部電源部505aとI/O電源部505bは異なる電圧で動作するため、電圧レベルシフタ回路を介して内部電源部505aに配置されたロジックとI/O電源部505bに配置されたロジック間の信号受け渡しがなされる。そのため、出力セル507と入力セル508にはそれぞれ電圧レベルシフタ回路509、510が内蔵されている。

【0007】

内部電源遮断モード信号は“1”アクティブであり、CPU502がこの信号を“1”にすることにより半導体集積回路501に対して内部電源を遮断することをあらかじめ伝える。半導体集積回路501のパワーダウンモード移行に先立ち、CPU502は、まず半導体集積回路501の入力セル506への内部電源遮断モード信号を“1”とし、I/O電源部505bの出力セルの論理を“H”または“L”のいずれかの安定方向に固定する。出力セル507の場合は内部電源遮断モード時は“H”に固定される。

【0008】

その後、CPU502は電源供給素子503に対して半導体集積回路の内部電源遮断命令を発行し、電源供給素子503は半導体集積回路501の内部電源部505aに対する電源遮断を行う。この一連の手順により、半導体集積回路501をパワーダウンモードに移行させる。

【0009】

内部電源部505aには割込み制御回路511が配置され、外部割込み要因素子504から出力され入力セル508を通して内部電源部505aに伝達される外部割込み要因512と、内部電源部505aの他の回路で発生する内部割込み要因群513との論理和制御を行い、最終的に1つの割込み要求信号514として集約し、出力セル507を通じてCPU502に通知する。

【0010】

なお、パワーダウンモード移行に関する割込み信号の扱いに関する技術は、特許文献1等の開示されている。

【 0 0 1 1 】

【特許文献 1】

特開平 9 - 4 4 2 7 8 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら上記従来の実施例による構成では、半導体集積回路のパワーダウンモード時に内部電源部が電源遮断されると同時に、内部電源部に配置される割込み制御回路が動作不能になる上、I/O電源部に配置される割込み要求信号の出力セルが“H”に固定されるため、外部割込み要因からの割込み要求が半導体集積回路の入力セルに伝えられても、これをCPUに通知することができない。

【 0 0 1 3 】

この場合、半導体集積回路がパワーダウンモードである間は、外部割込み要因からの割込み要求をCPUに通知することを中止するか、通知を中止できない場合は、半導体集積回路の出力セルからの割込み要求信号入力とは別に、CPU側に外部割込み要因のための割込み要求信号入力を別途設けなければならない。

【 0 0 1 4 】

本発明は上記事情に鑑みてなされたもので、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路において、内部電源遮断時でも外部割込み要因からの割込み要求を外部へ通知することができる半導体集積回路および半導体集積回路の割込み要求出力方法を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

この課題を解決するために、請求項 1 の半導体集積回路は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、前記割込み要求信号の出力端と前記外部割込み要因の入力端とをバイパス接続する抵抗素子と、前記割込み要求信号の出力端を内部電源遮断時にハイインピーダンスに制御する制御手段とを備える。

【 0 0 1 6 】

上記構成によれば、外部割込み要因の入力端と割込み要求信号の出力端とを抵抗素子でバイパス接続することにより、半導体集積回路の内部電源遮断時においても外部割込み要因からの割込み要求を外部に通知することが可能となる。

【 0 0 1 7 】

請求項 2 の半導体集積回路は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、内部電源遮断後も電源供給が継続される I / O 電源部に前記割込み要求信号の出力端と前記外部割込み要因の少なくとも 1 つの入力端とをそれぞれバイパス接続する少なくとも 1 つの整流素子を備える。

【 0 0 1 8 】

上記構成によれば、外部割込み要因の入力端と割込み要求信号の出力端とを整流素子でバイパス接続することにより、半導体集積回路の内部電源遮断時においても外部割込み要因からの割込み要求を外部に通知することが可能となる。また、少なくとも 1 つの整流素子が論理和回路を構成するため、外部割込み要因が複数発生しても割込み要求として外部へ確実に通知することが可能となる。さらに、バイパス接続する整流素子を内部電源遮断時にも電源供給が継続される I / O 電源部に配置することにより、外部に回路を付加することなく、外部割込み要因からの割込み要求を外部に通知することが可能となる。

【 0 0 1 9 】

請求項 3 の半導体集積回路は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、内部電源遮断後も電源供給が継続される I / O 電源部に設けられ、前記割込み要求信号の出力端と前記外部割込み要因の入力端とを前記内部電源遮断に連動する開閉動作でバイパス接続するスイッチング手段と、前記割込み要求信号の出力端を前記内部電源遮断時にハイインピーダンスに制御する制御手段とを備える。

【 0 0 2 0 】

上記構成によれば、外部割込み要因の入力端と割込み要求信号の出力端とを内部電源遮断に連動して開閉するスイッチ手段でバイパス接続することにより、内部電源遮断時以外は回路から切り離し、内部電源遮断時にのみ上記バイパス接続

を行い外部割込み要因からの割込み要求を外部に通知することが可能となる。また、スイッチング手段を内部電源遮断時にも電源供給が継続される I/O 電源部に配置することにより、外部に回路を付加することなく、外部割込み要因からの割込み要求を外部に通知することが可能となる。

【0021】

請求項4の半導体集積回路は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路であって、内部電源遮断後も電源供給が継続される I/O 電源部に設けられ、前記割込み要求信号の出力端と前記外部割込み要因の入力端とを外部制御信号に応答する開閉動作でバイパス接続するスイッチング手段と、前記割込み要求信号の出力端を前記外部制御信号供給時にハイインピーダンスに制御する制御手段とを備える。

【0022】

上記構成によれば、外部制御信号を用いてスイッチ手段を直接制御することが可能となり、内部電源遮断時にも外部割込み要因からの割込み要求を外部に通知することが可能となるとともに、ソフト処理上必要なときのみスイッチ手段を制御することが可能になる。また、スイッチング手段を内部電源遮断時にも電源供給が継続される I/O 電源部に配置することにより、外部に回路を付加することなく、外部割込み要因からの割込み要求を外部に通知することが可能となる。

【0023】

請求項5の半導体集積回路の割込み要求出力方法は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、内部電源遮断時に前記割込み要求の出力端をハイインピーダンスに制御し、前記割込み要求信号の出力端と前記外部割込み要因の入力端とをバイパス接続した抵抗素子を介して前記外部割込み要因の入力端に供給される割込み要求信号を外部出力する。

【0024】

上記構成によれば、外部割込み要因の入力端と割込み要求信号の出力端とを抵抗素子でバイパス接続することにより、半導体集積回路の内部電源遮断時においても外部割込み要因からの割込み要求を外部に通知することが可能となる。

【 0 0 2 5 】

請求項 6 の半導体集積回路の割込み要求出力方法は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、前記割込み要求信号の出力端と前記外部割込み要因の少なくとも 1 つの入力端とをそれぞれバイパス接続する少なくとも 1 つの整流素子を介して前記外部割込み要因の少なくとも 1 つの入力端に供給される割込み要求信号を外部出力する。

【 0 0 2 6 】

上記構成によれば、外部割込み要因の入力端と割込み要求信号の出力端とをバイパス接続することにした整流素子を介して外部割込み要因からの割込み要求を、半導体集積回路の内部電源遮断時においても外部に通知することが可能となる。

【 0 0 2 7 】

請求項 7 の半導体集積回路の割込み要求出力方法は、外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、内部電源遮断時に、前記割込み要求信号の出力端のハイインピーダンス制御および前記内部電源遮断時に閉じるスイッチング手段で前記割込み要求信号の出力端と前記外部割込み要因の入力端とのバイパス接続を行い、前記外部割込み要因の入力端に供給される割込み要求信号を外部出力する。

【 0 0 2 8 】

上記構成によれば、外部割込み要因の入力端と割込み要求信号の出力端とを内部電源遮断に連動して開閉するスイッチ手段でバイパス接続することにより、内部電源遮断時以外は回路から切り離し、内部電源遮断時にのみ上記バイパス接続を行い外部割込み要因からの割込み要求を外部に通知することが可能となる。

【 0 0 2 9 】

請求項 8 の半導体集積回路の割込み要求出力方法は、外部割込み要因からの割込み要求信号と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路の割込み要求出力方法であって、外部制御信号供給時に、前

記割込み要求の出力端のハイインピーダンス制御および前記外部制御信号供給時に閉じるスイッチング手段で前記割込み要求信号の出力端と前記外部割込み要因の入力端とのバイパス接続を行い、前記外部割込み要因の入力端に供給される割込み要求信号を外部出力する。

【 0 0 3 0 】

上記構成によれば、外部制御信号を用いてスイッチ手段を直接制御することが可能となり、内部電源遮断時にも外部割込み要因からの割込み要求を外部に通知することが可能となるとともに、ソフト処理上必要なときのみスイッチ手段を制御することが可能になる。

【 0 0 3 1 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

図 1 は本発明の第 1 の実施形態の構成を示すブロック図である。図 1 において、101 は内部あるいは外部で発生する割込み要因の論理和制御を行う割込み制御回路を内蔵する半導体集積回路、102 は半導体集積回路 101 から通知された割込み要求を処理する CPU、103 は CPU 102 から制御され半導体集積回路 101 の内部電源部および I/O 電源部に対して電源供給を行う電源供給素子である。104 は外部割込み要因素子であり、この外部割込み要因素子 104 からのローアクティブの割込み信号は半導体集積回路 101 へ入力される。

【 0 0 3 2 】

半導体集積回路 101 は、回路に供給する電源電圧により、内部電源部 105 a と I/O 電源部 105 b に分離されており、CPU 102 の制御を受け電源供給素子 103 からそれぞれ独立した電源供給を受ける。

【 0 0 3 3 】

I/O 電源部 105 b には入出力端子セルが配置される。106 は半導体集積回路 101 のパワーダウンモード時に CPU 102 からの内部電源遮断モード信号を受け取る入力セル、107 は CPU 102 へ割込み要求信号を伝える出力セル、108 は外部割込み要因素子 104 から発生する割込み要求信号を受け取る入力セルである。

【0034】

内部電源部105aとI/O電源部105bは異なる電圧で動作するため、電圧レベルシフタ回路を介して内部電源部105aに配置されたロジックとI/O電源部105bに配置されたロジック間の信号受け渡しが行なわれる。そのため、出力セル107と入力セル108にはそれぞれ電圧レベルシフタ回路109、110が内蔵されている。

【0035】

内部電源遮断モード信号は“1”アクティブであり、CPU102がこの信号を“1”にすることにより半導体集積回路101に対して内部電源を遮断することをあらかじめ伝える。半導体集積回路101のパワーダウンモード投入に先立ち、CPU102は、まず半導体集積回路101の入力セル106への内部電源遮断モード信号を“1”にし、I/O電源部105bの出力セルの論理を“H”または“L”のいずれかの安定方向に固定する。

【0036】

ここで、出力セル107の出力バッファはトライステート制御になっており、内部電源遮断モード信号が“0”の場合は出力が通常の“H”または“L”となり、内部電源遮断モード信号が“1”の場合は出力がハイインピーダンスに固定されるように制御される。

【0037】

その後、CPU102が電源供給素子103に対して半導体集積回路の内部電源遮断命令を発行すると、電源供給素子103は半導体集積回路101の内部電源部105aに対する電源遮断を行う。この一連の手順により、半導体集積回路101をパワーダウンモードに移行させる。

【0038】

内部電源部105aには割込み制御回路111が配置され、通常動作時すなわち内部電源部105aに電源が供給されている間は、外部割込み要因素子104から出力され入力セル108を通して内部電源部105aに伝達される外部割込み要因112と、内部電源部105aの他の回路で発生する内部割込み要因群113との論理和制御を行い、最終的に1つの割込み要求信号114に集約し、出

力セル 1 0 7 を通じて CPU 1 0 2 に通知する。

【 0 0 3 9 】

割込み要求信号の出力セル 1 0 7 および割込み要求信号の入力セル 1 0 8 は、I / O 電源部 1 0 5 b 内において近傍に配置され、出力セル 1 0 7 の出力端と入力セル 1 0 8 の入力端は I / O 電源部 1 0 5 b でバイパス抵抗 1 1 5 により接続されている。

【 0 0 4 0 】

半導体集積回路 1 0 1 のパワーダウンモード時には、CPU 1 0 2 から出力され入力セル 1 0 6 から入力される内部電源遮断モード信号が “ 1 ” となり、出力セル 1 0 7 の出力がハイインピーダンスに固定される。

【 0 0 4 1 】

その後、CPU 1 0 2 からの内部電源遮断命令により電源供給素子 1 0 3 が半導体集積回路 1 0 1 の内部電源部 1 0 5 a への電源供給を遮断すると、半導体集積回路 1 0 1 の内部のすべての割込み要因は動作不能になるが、外部割込み要因素子 1 0 4 から出力されるローアクティブの割込み要求は、バイパス抵抗 1 1 5 を通して CPU 1 0 2 に通知される。

【 0 0 4 2 】

以上のように本実施形態によれば、外部割込み要因の入力端と CPU への割込み要求信号の出力端とを抵抗素子でバイパス接続することにより、半導体集積回路 1 0 1 の内部電源遮断時においても外部割込み要因素子 1 0 4 からの割込み要求を CPU 1 0 2 に通知することが可能となる。

【 0 0 4 3 】

また、半導体集積回路 1 0 1 内部で発生する割込み要因群 1 1 3 は電源遮断によりすべて動作不能になっていることを CPU 1 0 2 は認知しているので、半導体集積回路 1 0 1 の内部電源遮断時に CPU 1 0 2 が割込み入力端子からの割込み要求を受理すると、即座に外部割込み要因素子 1 0 4 からの割込み要求であることを特定することができる。また、本実施形態は抵抗素子 1 つの追加で実現できるので、I / O 電源部への内蔵も容易である。

【 0 0 4 4 】

図 2 は本発明の第 2 の実施形態の構成を示すブロック図である。なお、図 1 と同一部分には同一符号を付して説明する。図 2 において、1 0 4 a の外部割込み要因素子 a および 1 0 4 b の外部割込み要因素子 b からの 2 つの外部割込み要求信号がそれぞれ、入力セル 2 0 1、入力セル 2 0 2 を通じて半導体集積回路 1 0 1 の内部電源部 1 0 5 a に配置される割込み制御回路 1 1 1 に入力される。

【0 0 4 5】

2 0 3、2 0 4 はそれぞれ入力セル 2 0 1、入力セル 2 0 2 の内部電源部への出力側に配置されるレベルシフタ回路である。割込み制御回路 1 1 1 で 1 つに集約された割込み要求信号 1 1 4 は出力セル 2 0 5 を通じて CPU 1 0 2 に通知される。

【0 0 4 6】

2 0 8 は出力セル 2 0 5 の入力端に配置された内部電源部 1 0 5 a から I / O 電源部 1 0 5 b へのレベルシフタ回路であり、2 0 6 は出力セル 2 0 5 のオープンドレイン出力を構成する N チャンネルトランジスタであり、2 0 7 は N チャンネルトランジスタ 2 0 6 のドレインと I / O 電源との間に接続されるプルアップ抵抗である。出力セル 2 0 5 の出力端から入力セル 2 0 1、2 0 2 の入力端へ、整流素子 2 0 9、2 1 0 がそれぞれ順方向に挿入される。

【0 0 4 7】

通常動作時すなわち内部電源部 1 0 5 a に電源が供給されている間は、入力セル 2 0 1、2 0 2 を通じて内部電源部 1 0 5 a に伝達される 2 つの外部割込み要因と、内部電源部 1 0 5 a の他の回路で発生する内部割込み要因群 1 1 3 との論理和制御を行い、最終的に 1 つの割込み要求出力信号 1 1 4 に集約し、出力セル 1 0 7 を通じて CPU 1 0 2 に通知される。

【0 0 4 8】

半導体集積回路 1 0 1 のパワーダウンモード時には、CPU 1 0 2 から出力され入力セル 1 0 6 から入力される内部電源遮断モード信号が“1”となり、その後、CPU 1 0 2 の内部電源遮断命令を受けて、電源供給素子 1 0 3 は半導体集積回路 1 0 1 の内部電源部 1 0 5 a への電源供給を遮断する。

【0 0 4 9】

これにより、割込み制御回路 1 1 1 は動作不能となり、出力セル 2 0 5 内の N チャンネルトランジスタ 2 0 6 がオフ状態になり、出力セル 2 0 5 の出力はプルアップ抵抗 2 0 7 により “H” となる。ところが 2 つの外部割込み要因素子 1 0 4 a、1 0 4 b のいずれかがアクティブになり “L” に遷移すると、整流素子 2 0 9、2 1 0 を通して CPU 1 0 2 への割込み要求信号入力が “L” となり、CPU 1 0 2 に割込み要求が通知される。

【0050】

半導体集積回路 1 0 1 のパワーダウンモード中に割込み入力端子からの割込みが通知されると、CPU 1 0 2 は内部電源部 1 0 5 a の電源を投入し、通常動作時の割込み信号経路である割込み制御回路 1 1 1 を通して、この割込みが外部割込み要因素子 1 0 4 a のものか、あるいは外部割込み要因素子 1 0 4 b のものかを特定する。

【0051】

以上のように本実施形態によれば、外部割込み要因が複数ある場合にも、半導体集積回路 1 0 1 の内部電源遮断時においても外部割込み要因からの割込み要求を CPU 1 0 2 に通知することが可能となる。

【0052】

また、本実施形態では外部割込み要因が 2 つの場合で説明したが、1 つまたは 3 つ以上の外部割込み要因が存在する場合も、それぞれの外部割込み要因に対して整流素子を用いたバイパス手段を設けることにより、本実施形態と同等の半導体集積回路を実現することができる。

【0053】

図 3 は本発明の第 3 の実施形態の構成を示すブロック図である。なお、図 1 と同一部分には同一符号を付して説明する。図 3 において、3 0 1 は第 1 の実施形態で説明したバイパス抵抗 1 1 5 を置き換えたバイパス用のスイッチ素子である。スイッチ素子 3 0 1 のオン／オフ制御は、入力セル 1 0 6 へ入力される内部電源遮断モード信号によって切り換えられ、内部電源遮断モード信号が “1” のときスイッチ素子 3 0 1 はオンになり、“0” のときはオフになるように制御される。

【0054】

上記構成の回路によれば、半導体集積回路101のパワーダウンモード時にも、外部割込み要因素子104からの割込み要求をスイッチ素子を通じてCPU102に通知することが可能となる。また、内部電源部105aの電源遮断／投入と連動してバイパス用のスイッチ素子301をオン／オフするため、半導体集積回路のパワーダウンモード時以外はバイパス手段が自動的に切断される。

【0055】

図4は本発明の第4の実施形態の構成を示すブロック図である。なお、図1と同一部分には同一符号を付して説明する。図4において、401は第3の実施形態におけるバイパス用のスイッチ素子と同等のものであるが、そのオン／オフ制御は出力セル107の出力制御とともに、入力セル402から入力されるCPUからのバイパス制御信号により制御される。

【0056】

上記構成によれば、半導体集積回路における割込み信号のバイパス手段をCPUのポートから直接制御することが可能となり、半導体集積回路のパワーダウンモード時にも、外部割込み要因からの割込み要求をCPUに通知することが可能となるとともに、CPUのソフト処理上必要なときのみバイパス素子をオンにすることができる。

【0057】

【発明の効果】

以上説明したように、本発明によれば、外部割込み要因を半導体集積回路外部へバイパス接続する抵抗素子や整流素子あるいはスイッチング手段を介して割込み要求信号として外部へ出力することができるため、半導体集積回路の内部電源遮断時においても外部割込み要因からの割込み要求を外部に通知することが可能となる。

【0058】

また、半導体集積回路において、整流素子やスイッチング手段をI/O電源部に配置することで、外部に回路を付加することなくシステムを構成することができ、開発コスト負担を最小限に抑えることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の構成を示すブロック図。

【図 2】

本発明の第 2 の実施形態の構成を示すブロック図。

【図 3】

本発明の第 3 の実施形態の構成を示すブロック図。

【図 4】

本発明の第 4 の実施形態の構成を示すブロック図。

【図 5】

従来の半導体集積回路の構成を示すブロック図。

【符号の説明】

1 0 1、5 0 1 半導体集積回路

1 0 2、5 0 2 C P U

1 0 3、5 0 3 電源供給素子

1 0 4、1 0 4 a、1 0 4 b、5 0 4 外部割込み要因素子

1 0 5 a、5 0 5 a 内部電源部

1 0 5 b、5 0 5 b I / O 電源部

1 0 6、5 0 6 内部電源遮断モード信号の入力セル

1 0 7、2 0 5、5 0 7 C P U への割込み要求信号の出力セル

1 0 8、2 0 1、2 0 2、5 0 8 割込み要求信号の入力セル

1 0 9、1 1 0、2 0 3、2 0 4、2 0 8、5 0 9、5 1 0 電圧レベルシフ

タ回路

1 1 1、5 1 1 割込み制御回路

1 1 2、5 1 2 外部割込み要因

1 1 3、5 1 3 内部割込み要因群

1 1 4、5 1 4 C P U への割込み要求信号

1 1 5 バイパス抵抗

2 0 6 Nチャネルトランジスタ

207 プルアップ抵抗

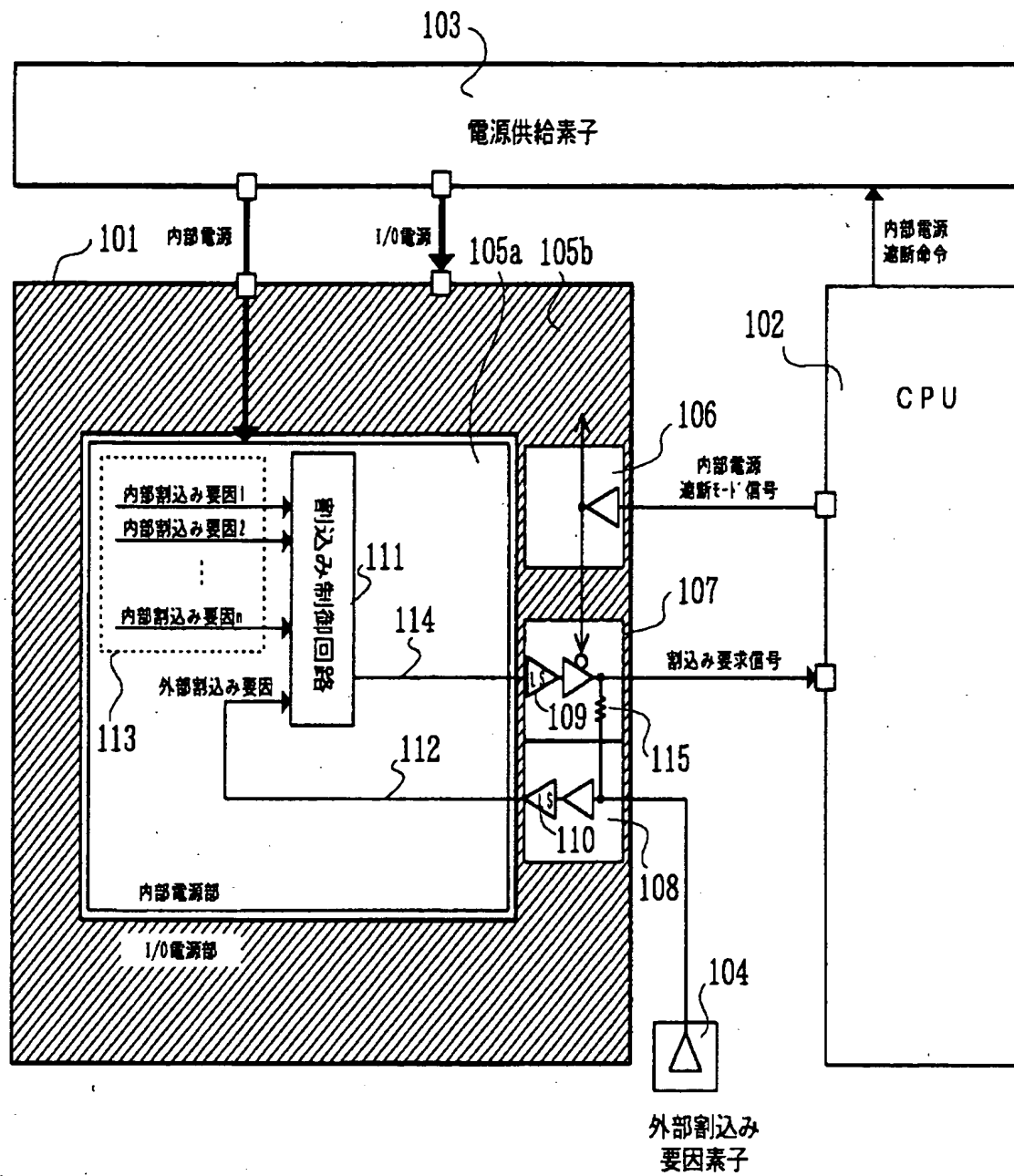
209、210 整流素子

301、401 スイッチ素子

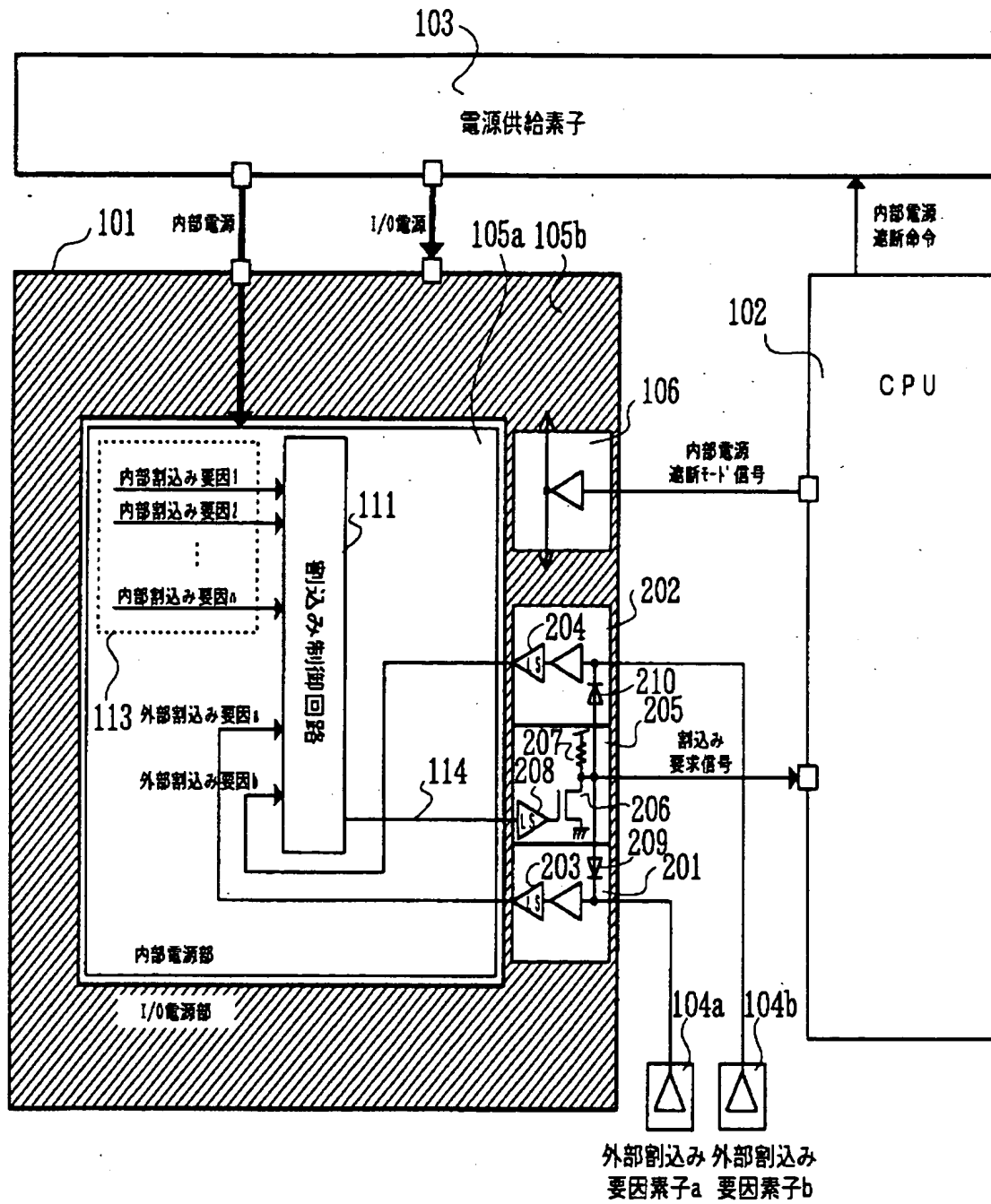
402 バイパス制御信号の入力セル

【書類名】 図面

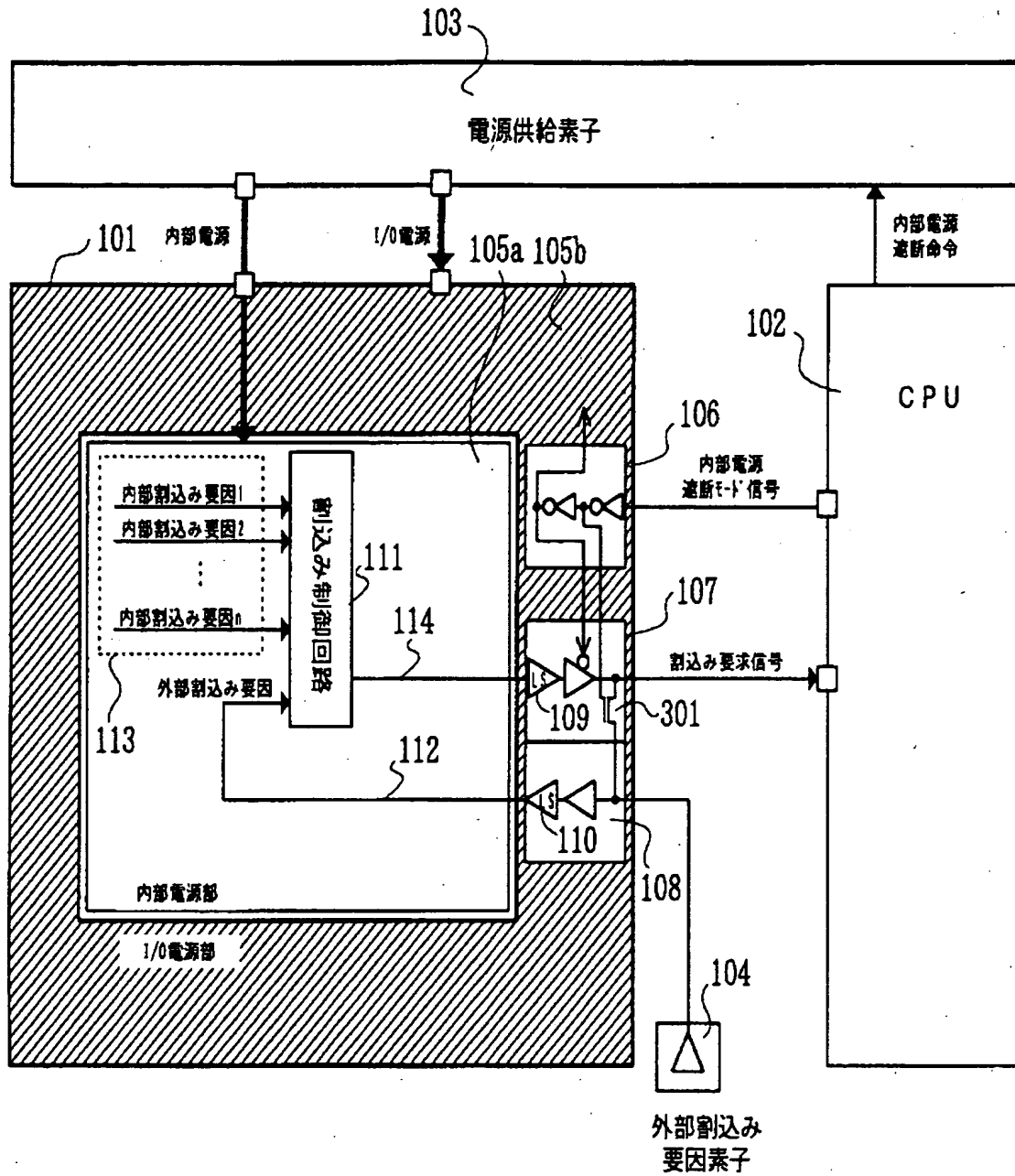
【図 1】



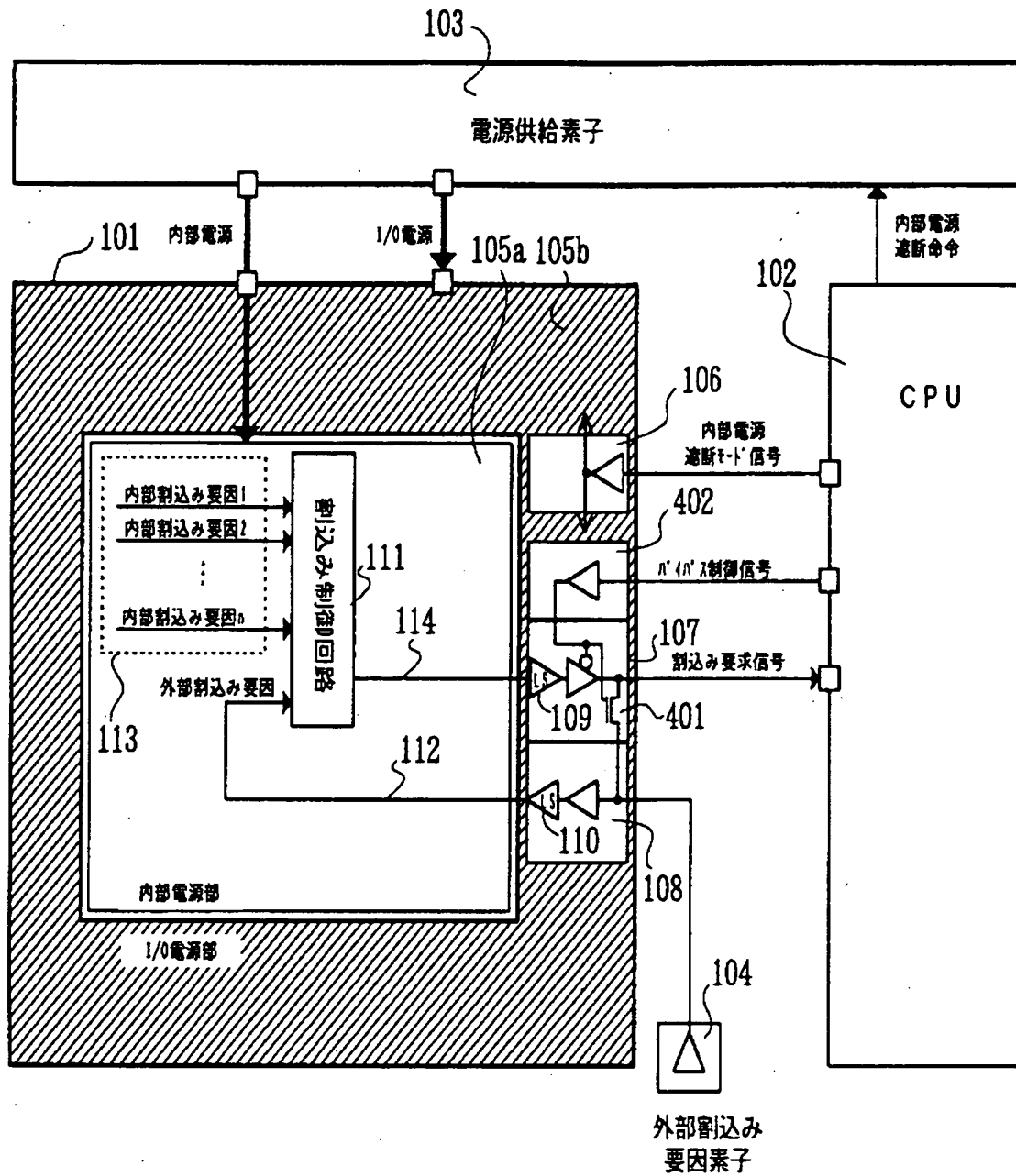
【図 2】



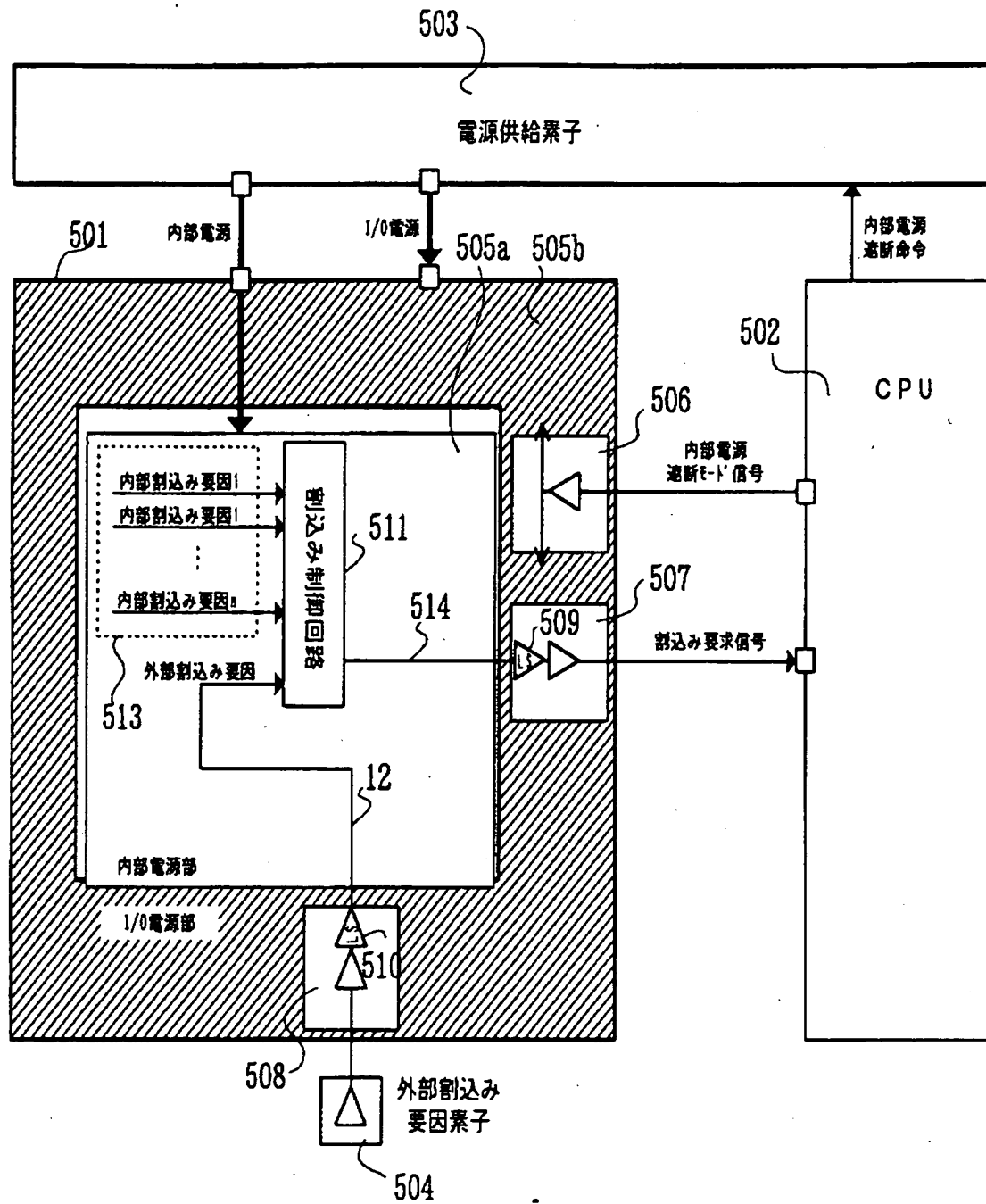
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 外部割込み要因と内部割込み要因との論理和出力を割込み要求信号として外部出力する半導体集積回路において、内部電源遮断時でも外部割込み要因からの割込み要求を外部へ通知する。

【解決手段】 割込み要求信号の出力セル 1 0 7 と外部割込み要因の入力セル 1 0 8 とをバイパス接続する抵抗素子 1 1 5 を備え、割込み要求信号の出力セル 1 0 7 を内部電源遮断時にハイインピーダンスに制御することにより、内部電源遮断時に外部割込み要因からの割込み要求信号を C P U へ通知する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社